

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-138858

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 5/00	T	8121-5G		
G 0 6 F 15/68	3 1 0	9191-5L		
G 0 9 G 3/36		7319-5G		
H 0 4 N 5/66	1 0 2 B	9068-5C		

審査請求 未請求 請求項の数 2 (全 12 頁)

(21)出願番号 特願平4-286055

(22)出願日 平成4年(1992)10月23日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72)発明者 小林 賢

大阪府守口市京阪本通 2 丁目18番地 三洋
電機株式会社内

(72)発明者 藤岡 誠

大阪府守口市京阪本通 2 丁目18番地 三洋
電機株式会社内

(72)発明者 谷岡 篤善

大阪府守口市京阪本通 2 丁目18番地 三洋
電機株式会社内

(74)代理人 弁理士 西野 卓嗣

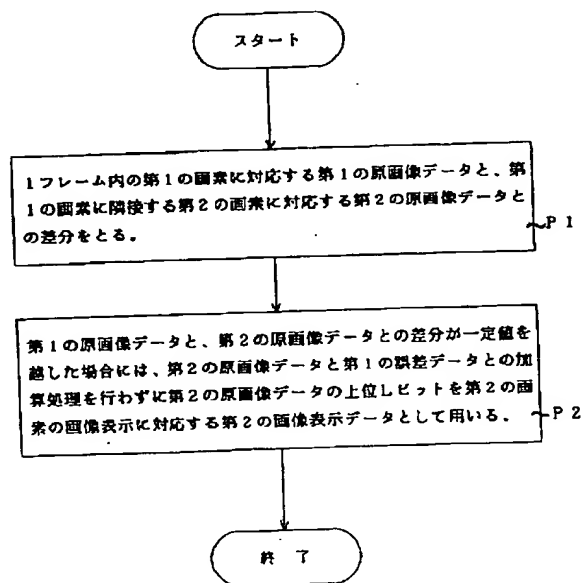
最終頁に続く

(54)【発明の名称】 画像情報処理方法及び画像情報処理装置

(57)【要約】

【目的】デジタルドライバによるLCDディスプレイのための画像処理方法及び画像処理装置において、擬似表現による多階調化によって原画像に近い画像表示を図ること。

【構成】1フレーム内の第1の画素に対応する第1の原画像データと第1の画像表示データとの誤差分である第1の誤差データを、前記第1の画素に隣接する第2の画素に対応する第2の原画像データに加算した後に、該加算処理の結果であるPビットのデータの上位Lビットを前記第2の画素の画像表示に対応するLビットの第2の画像表示データとして用いる誤差拡散法において、前記第1の原画像データと、前記第2の原画像データとの差分をとり、該差分が、一定値を越えた場合には、前記第2の原画像データと前記第1の誤差データとの加算処理を行わずに、第2の原画像データの上位Lビットを前記第2の画素の画像表示に対応する第2の画像表示データとして用いる。



【特許請求の範囲】

【請求項1】 Pビットの原画像データに基づいて、Pビットよりも少ないビット数であるLビットの画像表示データを生成する画像情報処理方法であって、

1フレーム内の第1の画素に対応する第1の原画像データと第1の画像表示データとの誤差分である第1の誤差データを、前記第1の画素に隣接する第2の画素に対応する第2の原画像データに加算した後に、該加算処理の結果であるPビットのデータの上位Lビットを前記第2の画素の画像表示に対応するLビットの第2の画像表示データとして用いる誤差拡散法において、

前記第1の原画像データと、前記第2の原画像データとの差分をとり、該差分が、一定値を越えた場合には、前記第2の原画像データと前記第1の誤差データとの加算処理を行わずに、第2の原画像データの上位Lビットを前記第2の画素の画像表示に対応する第2の画像表示データとして用いることを特徴とする画像情報処理方法。

【請求項2】 Pビットの原画像データに基づいて、Pビットよりも少ないビット数であるLビットの画像表示データを生成する画像情報処理装置であって、
1フレーム内の第1の画素に対応する第1の原画像データと第1の画像表示データとの誤差分である第1の誤差データを、前記第1の画素に隣接する第2の画素に対応する第2の原画像データに加算処理してPビットのデータを作成し、情報生成手段に出力する加算手段と、
駆動制御信号に基づいて、前記加算処理結果であるPビットのデータ又は第2の原画像データの上位Lビットを、前記第2の画素に対応する第2の画像表示データとして出力する情報生成手段と、
前記第1の原画像データを一時保持して比較手段に出力する保持手段と、
前記第1の原画像データと、前記第2の原画像データとの差分をとり、該差分が、一定値を越えた場合には、前記駆動制御信号を前記情報生成手段に出力し、一定値を越えない場合には、前記駆動制御信号を前記情報生成手段に出力しない比較手段とを具備することを特徴とする画像情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は画像情報処理方法及び画像処理装置に関し、更に詳しく言えば、デジタルドライバによるLCDディスプレイの階調表示を多階調化するための画像処理方法及び画像処理装置に関する。

【0002】

【従来の技術】従来例に係る画像処理方法、とりわけLCDディスプレイの多階調化は、一般に誤差拡散法と呼ばれている方法によって、擬似輪郭などを抑止し、原画像に近い画像を得ようとする試みがなされている。この誤差拡散法は、ある画素に対応する原画像データと画像表示データとの誤差分である誤差データを隣接する画素

の画像データに加算して、周辺の画素との輝度の均一化を図る方法である。

【0003】従来例に係る誤差拡散法は、図7に示すように、8ビットの原画像データ(SD)に基づいて4ビットの画像表示データ(GD)を生成する画像情報処理装置によってなされる。その構成は、第1のラッチ回路(1)、加算回路(2)、マルチプレクサ(3)、第2のラッチ回路(4)及び第3のラッチ回路(5)から成る。

【0004】当該装置の動作は、まず、ある画素の8ビットの原画像データ(SD)が第1のラッチ回路(1)に入力され、ドットクロック(DK)に基づいて加算回路(2)に出力される。同時に第2のラッチ回路(4)からその画素の直前に処理した画素に対応する誤差データ(EI)が読み出される。なお、この誤差データ(EI)は、原画像データ(SD)と、画像表示データ(GD)との誤差分である。例えば原画像データ(SD)が8ビットで、画像表示データ(GD)が4ビットであるとする、画像表示データ(GD)は原画像データ(SD)の上位4ビットをとるので、この場合の誤差データ(EI)は原画像データ(SD)の下位4ビットということになる。

【0005】次に、加算回路(2)によって8ビットの原画像データ(SD)と4ビットの誤差データ(EI)が加算処理されて8ビットの補正画像データ(HD)が作成され、マルチプレクサ(3)に出力される。なお、加算回路(2)の加算処理による桁上げの結果、加算回路(2)から出力されるデータが“0000”となると困るので、このような場合には、加算回路(2)から出力されるキャリ信号に基づいて、マルチプレクサ(3)から4ビットの“1111”が出力される。

【0006】次いで、マルチプレクサ(3)によって、補正画像データ(HD)が上位4ビットと下位4ビットに分割され、上位4ビットは画像表示データ(GD)として第3のラッチ回路(5)に出力され、下位4ビットは次の画素の原画像データ(SD)に加算するための誤差データ(EI)として第2のラッチ回路(4)に出力される。第3のラッチ回路(5)によって4ビットの画像表示データ(GD)が不図示のLCDドライバに出力される。

【0007】上記従来の装置によると、順次、直前の隣接する画素の誤差データ(EI)が原画像データ(SD)に加算されるので、隣接する画素との輝度の差が小さくなり、画像の輝度が平滑化されるので、いわゆる擬似輪郭などが防止できる。また、フレーム内で画像処理することにより、フリッカの問題は全く生じない。このようにして、原画像に近い画像を得ていた。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の誤差拡散法による画像処理方法では、画像の状態に

よらず、一律に隣接する画素の原画像データ（SD）に誤差データ（EI）を加算して、隣接する画素との輝度の差を少なくしていたので、例えば、画像が急峻に変化する画像のエッジ部分では、隣接する画素との輝度の差が少なくなることにより、画像のエッジがぼけて表示されるという問題があった。

【0009】

【課題を解決するための手段】本発明は上記従来の欠点に鑑み成されたもので、図1のフローチャートに示すように、1フレーム内の第1の画素に対応する第1の原画像データと第1の画像表示データとの誤差分である第1の誤差データを、前記第1の画素に隣接する第2の画素に対応する第2の原画像データに加算した後に、該加算処理の結果であるPビットのデータの上位Lビットを前記第2の画素の画像表示に対応するLビットの第2の画像表示データとして用いる誤差拡散法において、前記第1の原画像データと、前記第2の原画像データとの差分をとり、該差分が、一定値を越えた場合には、前記第2の原画像データと前記第1の誤差データとの加算処理を行わずに、第2の原画像データの上位Lビットを前記第2の画素の画像表示に対応する第2の画像表示データとして用いることで、画像が急峻に変化する画像のエッジ部分でのぼけを防止することが可能になる画像情報処理方法及び画像情報処理装置を提供するものである。

【0010】

【作 用】本発明に係る画像情報処理方法によれば、図1のフローチャートに示すように、第1の原画像データと、第2の原画像データとの差分をとり、該差分が、一定値を越えた場合には、第2の原画像データと第1の誤差データとの加算処理を行わずに、第2の原画像データの上位Lビットを第2の画素の画像表示に対応する第2の画像表示データとして用いている。

【0011】このため、画像が急峻に変化する画像の端部では、その部分を挟んだ二画素の原画像データの差が大きいため、隣接する画素への誤差データの加算処理がなされない。よって、該端部を挟んだ画素の輝度の差が少なくなることによって生じる画像の端部のぼけを防止することが可能になり、画像の端部が鮮明で原画像に近い画像を表示することが可能になる。

【0012】さらに、本発明に係る画像情報処理装置によれば、図2に示すように、加算手段と、情報生成手段と、保持手段と、比較手段とを具備している。例えば、保持手段によって第1の原画像データが一時保持されて比較手段に出力され、加算手段によって1フレーム内の第1の画素に対応する第1の原画像データと第1の画像表示データとの誤差分である第1の誤差データが、第1の画素に隣接する第2の画素に対応する第2の原画像データに加算処理され、Pビットのデータが作成されて、情報生成手段に出力され、情報生成手段によって、駆動制御信号に基づいて、第1の誤差データと第2の原画像

データとの加算処理結果であるPビットのデータ又は第2の原画像データの上位Lビットが、第2の画素に対応する第2の画像表示データとして出力され、比較手段によって第1の原画像データと、第2の原画像データとの差分がとられ、該差分が、一定値を越えた場合には、駆動制御信号が情報生成手段に出力され、一定値を越えない場合には、駆動制御信号が出力されない。

【0013】このため、例えば、比較手段によって、画像が急峻に変化する箇所では、情報生成手段に駆動制御信号が出力され、該駆動制御信号が出力されると、情報生成手段によって、隣接する画素への誤差拡散がなされず、原画像データの上位Lビットがそのまま画像表示データとされるようにすることができる。これにより、一定値を適切に設定することで、画像が急峻に変化する端部などでは、該部分を挟んで隣接する画素の原画像データと誤差データとの加算処理をしないようにすることが可能になるので、本発明に係る画像情報処理方法が実現できる。

【0014】

【実施例】以下に本発明に係る画像情報処理装置及び画像情報処理方法の一実施例を図3～図6を参照しながら詳細に説明する。本発明の一実施例に係る画像情報処理装置は、不図示の原画像データを出力する出力部と、LCDディスプレイを駆動するLCDドライバとの間に設けられており、8ビットの原画像データを圧縮して、4ビットの画像表示用のデータとして4ビット入力のLCDドライバに出力する装置である。

【0015】このような場合、原画像データの8ビットのうち下位4ビットは切り捨てられてしまい、上位4ビットのみが画像表示用のデータとして用いられる。よって、このままでは階調が $2^4 = 16$ 階調しか得られないので、擬似表現によって原画像に近づける擬似階調化処理をする必要がある。なお、ここでは、赤（R）一色のデータに関してのみ説明する。青、緑の各色については、同様の装置による同様の処理を並行して行っているため、省略する。

【0016】本発明の一実施例に係る画像情報処理装置は、図3に示すように、第1のラッチ回路（11）、第2のラッチ回路（12）、比較回路（13）、加算回路（14）、第1のマルチプレクサ（15）、第2のマルチプレクサ（16）、第3のラッチ回路（17）及び第4のラッチ回路（18）からなる。なお、以下で、第N番目のフレームの第n番目の画素を、「第〔N, n〕の画素」と称する。

【0017】第1のラッチ回路（11）は、入力される8ビットの各画素の原画像データ（SD）を一旦保持し、ドットクロック（DK）に基づいて第2のラッチ回路（12）、比較回路（13）及び加算回路（14）に出力するための回路である。第2のラッチ回路（12）は、例えば第〔N, n〕の画素を処理する際に、第

〔N, n〕の画素の原画像データ(SD)と、第〔N, n-1〕の画素の原画像データ(SD)とを比較するために、第〔N, n-1〕の画素の原画像データ(SD)を1フレーム間保持し、比較回路(13)に出力する回路である。

【0018】比較回路(13)は、第2のラッチ回路(12)から出力される第〔N, n-1〕の画素の原画像データ(SD)と、第〔N, n〕の画素の原画像データ(SD)との差分をとり、該差分が、予め内部に設定している閾値を超えた場合には第2のマルチプレクサ(16)に駆動制御信号(DS)を出力するものである。加算回路(14)は、第3のラッチ回路(17)から読み出される4ビットの第〔N, n-1〕の画素の誤差データ(EI)と、第1のラッチ回路(11)から出力される8ビットの第〔N, n〕の画素の原画像データ(SD)とを加算して、8ビットの第〔N, n〕の画素の補正画像データ(HD)を作成し、第1のマルチプレクサ(15)に出力するものである。

【0019】第1のマルチプレクサ(15)は、8ビットの第〔N, n〕の画素の補正画像データ(HD)を第2のマルチプレクサ(16)に出力するものである。第2のマルチプレクサ(16)は、比較回路(13)から出力される駆動制御信号(DS)に基づいて、第1のマルチプレクサ(15)から入力される8ビットの第〔N, n〕の画素の補正画像データ(HD)と、第1のラッチ回路(11)から入力される8ビットの第〔N, n〕の画素の原画像データ(SD)とのいずれかに基づいて、4ビットの第〔N, n〕の画素の誤差データ(EI)と4ビットの第〔N, n〕の画素の画像表示データ(GD)とを生成して、第3のラッチ回路(17)と第4のラッチ回路(18)とにそれぞれ出力するものである。

【0020】例えば、比較回路(13)から駆動制御信号(DS)が出力された場合には、第〔N, n〕の画素の原画像データ(SD)に基づいて第〔N, n〕の画素の画像表示データ(GD)と誤差データ(EI)とが生成され、駆動制御信号(DS)が出力されない場合には、第〔N, n〕の画素の補正画像データ(HD)に基づいて第〔N, n〕の画素の画像表示データ(GD)と誤差データ(EI)とが生成される。

【0021】第3のラッチ回路(17)は、誤差データ(EI)を一画素間保持して加算回路(14)に出力するものである。第4のラッチ回路(18)は、ドットクロック(DK)に基づいて画像表示データ(GD)を不図示のLCDドライバに出力するものである。以上説明したように、本発明の実施例に係る画像情報処理装置によれば、加算回路(14)と、第2のマルチプレクサ(16)と、第2のラッチ回路(12)と、比較回路(13)とを具備している。

【0022】例えば、第2のラッチ回路(12)によ

て、第〔N, n〕の画素の処理の際に、第〔N, n-1〕の画素の原画像データ(SD)が一時保持されて比較回路(13)に出力され、加算回路(14)によって第〔N, n-1〕の画素の誤差データ(EI)が、第〔N, n〕の画素の原画像データ(SD)に加算処理され、8ビットの第〔N, n〕の画素の補正画像データ(HD)が作成されて、第2のマルチプレクサ(16)に出力され、比較回路(13)によって第〔N, n-1〕の画素の原画像データ(SD)と、第〔N, n〕の画素の原画像データ(SD)との差分がとられ、該差分が、一定値を超えた場合には、駆動制御信号(DS)が第2のマルチプレクサ(16)に出力され、一定値を超えない場合には、駆動制御信号(DS)が出力されない。

【0023】第2のマルチプレクサ(16)に駆動制御信号(DS)が入力されると、誤差拡散がなされず、第〔N, n〕の画素の原画像データ(SD)の上位4ビットが、第〔N, n〕の画素の画像表示データ(GD)として出力され、駆動制御信号(DS)が入力されないときには、誤差拡散の結果である8ビットの第〔N, n〕の画素の補正画像データ(HD)の上位4ビットが、第〔N, n〕の画素の画像表示データ(GD)として出力される。

【0024】このため、画像が急峻に変化する箇所では、第2のマルチプレクサ(16)に比較回路(13)から駆動制御信号(DS)が出力され、該駆動制御信号(DS)が出力されると、第2のマルチプレクサ(16)によって誤差拡散がなされず、第〔N, n〕の画素の原画像データ(SD)の上位4ビットがそのまま画像表示データ(GD)とされる。

【0025】これにより、一定値を適切に設定することで、画像が急峻に変化する部分(例えば画像のエッジ)ではその部分を挟んで隣接する画素の原画像データ(SD)と誤差データ(EI)との加算処理をしないようにすることが可能になるので、本発明の実施例に係る画像情報処理方法が実現できる。以下で、本発明の実施例に係る画像情報処理方法について当該装置の動作を補足しながら説明する。図4～図6は、本実施例に係る画像情報処理方法を説明するフローチャートである。

【0026】まず、図4のステップP1で、第1番目のフレームの第1の画素である第〔1, 1〕の画素に対応する8ビットの第〔1, 1〕の原画像データ(SD)を保持する。このとき、第〔1, 1〕の原画像データ(SD)が第1のラッチ回路(11)を介して第2のラッチ回路(12)に入力・保持される。

【0027】次に、ステップP2で、第〔1, 1〕の原画像データ(SD)の上位4ビットを第〔1, 1〕の画素に対応する第〔1, 1〕の画像表示データ(GD)とし、下位4ビットを第〔1, 1〕の画素に対応する第〔1, 1〕の誤差データ(EI)として保持する。この

とき、第1のラッチ回路(11)から第2のマルチプレクサ(16)に第[1, 1]の原画像データ(SD)が出力され、該第2のマルチプレクサ(16)によって、8ビットの原画像データ(SD)が上位4ビットと下位4ビットに分割される。このうち、上位4ビットが第[1, 1]の画像表示データ(GD)として第4のラッチ回路(18)に出力され、ドットクロック(DK)に同期して不図示のLCDドライバに出力される。一方、下位4ビットは第[1, 1]の誤差データ(EI)として第3のラッチ回路(17)に出力され、保持される。

【0028】次いで、ステップP3で、 $n=2$ なる初期条件の設定処理をする。次に、ステップP4で、第[1, n]の原画像データ(SD)を保持する。このとき、第[1, n]の原画像データ(SD)が第1のラッチ回路(11)を介して第2のラッチ回路(12)に入力・保持される。次いで、ステップP5で、第[1, n]の原画像データ(SD)と、第[1, n-1]の原画像データ(SD)との差分をとり、それが予め設定されている一定値を超えたかどうかの判定処理を行う。該差分が一定値を超えた場合(Yes)は、ステップP6に移行し、一定値を超えない場合(No)は、ステップP7に移行する。

【0029】このとき、第1のラッチ回路(11)から第[1, n]の原画像データ(SD)が、第2のラッチ回路(12)から第[1, n-1]の原画像データ(SD)が、それぞれ比較回路(13)に inputs され、該比較回路(13)によって両者の差分がとられ、内部に設定されている閾値と比較される。もし、差分が閾値を超えた場合は第2のマルチプレクサ(16)に駆動制御信号(DS)が出力される。差分が閾値を超えない場合は駆動制御信号(DS)が出力されない。

【0030】なお、最初は、 $n=2$ なので、第[1, 1]の原画像データ(SD)と第[1, 2]の原画像データ(SD)との差分がとられることになる。次に、ステップP6で、第[1, n]の原画像データ(SD)の上位4ビットを第[1, n]の画像表示データ(GD)とし、下位4ビットを第[1, n]の誤差データ(EI)とする。

【0031】このとき、駆動制御信号(DS)の出力に基づいて、第2のマルチプレクサ(16)によって第[1, n]の原画像データ(SD)が選択され、該第[1, n]の原画像データ(SD)の上位4ビットが第[1, n]の画像表示データ(GD)として第4のラッチ回路(18)に出力され、ドットクロック(DK)に同期して不図示のLCDドライバに出力される。一方、下位4ビットは第[1, n]の誤差データ(EI)として第3のラッチ回路(17)に出力され、保持される。

【0032】次いで、ステップP7で、第[1, n]の原画像データ(SD)と第[1, n-1]の誤差データ(EI)とを加算処理して第[1, n]の補正画像デー

タ(HD)を作成し、該第[1, n]の補正画像データ(HD)の上位4ビットを第[1, n]の画像表示データ(GD)とし、下位4ビットを第[1, n]の誤差データ(EI)とする。

【0033】このとき、第1のラッチ回路(11)から8ビットの第[1, n]の原画像データ(SD)が、第3のラッチ回路(17)から4ビットの第[1, n-1]の誤差データ(EI)が、それぞれ加算回路(14)に inputs され、両者が加算回路(14)によって加算され、8ビットの第[1, n]の補正画像データ(HD)が作成処理され、第2のマルチプレクサ(16)に出力される。この際に、駆動制御信号(DS)は出力されないで、第[1, n]の補正画像データ(HD)が選択され、第2のマルチプレクサ(16)によって、8ビットの第[1, n]の補正画像データ(HD)の上位4ビットが第4のラッチ回路(18)に選択出力され、ドットクロック(DK)に同期して不図示のLCDドライバに出力される。一方、下位4ビットは第[1, n]の誤差データ(EI)として第3のラッチ回路(17)に選択出力され、保持される。

【0034】なお、このとき、加算回路(14)の加算処理による桁上げの結果、加算回路(14)から出力されるデータが“00000000”となると困るので、このような場合には、加算回路(14)から出力されるキャリ信号に基づいて、第1のマルチプレクサ(15)から8ビットの“11111111”が出力される。次に、ステップP8で n に1を加算処理する。

【0035】次いで、ステップP9で第1フレームの処理が終了したかどうかの判定処理を行う。終了した場合(Yes)は、ステップP9に移行し、終了していない場合(No)は、ステップP4に戻って再度上記処理を繰り返す。次に、図5のフローチャートのステップP10で、 $N=2$ なる初期条件の設定処理をする。以降の処理は第2フレーム以降の処理である。

【0036】次に、ステップP11で、第[N, 1]の原画像データ(SD)を保持する。このとき、第[N, 1]の原画像データ(SD)が第1のラッチ回路(11)を介して第2のラッチ回路(12)に inputs され、保持される。次に、ステップP12で、第[N, 1]の原画像データ(SD)の上位4ビットを第[N, 1]の画素に対応する第[N, 1]の画像表示データ(GD)とし、下位4ビットを第[N, 1]の画素に対応する第[N, 1]の誤差データ(EI)として保持する。

【0037】このとき、第1のラッチ回路(11)から第2のマルチプレクサ(16)に第[N, 1]の原画像データ(SD)が出力され、該第2のマルチプレクサ(16)によって、8ビットの原画像データ(SD)が上位4ビットと下位4ビットに分割される。このうち、上位4ビットが第[N, 1]の画像表示データ(GD)として第4のラッチ回路(18)に出力され、ドットク

10

20

30

40

50

ロック(DK)に同期して不図示のLCDドライバに出力される。一方、下位4ビットは第[N, 1]の誤差データ(EI)として第3のラッチ回路(17)に出力され、保持される。

【0038】次いで、ステップP13で、 $n=2$ なる初期条件の設定処理を行う。次に、ステップP14で、第[N, n]の原画像データ(SD)を保持する。このとき、第[N, n]の原画像データ(SD)が第1のラッチ回路(11)を介して第2のラッチ回路(12)に入力・保持される。次いで、ステップP15で、第[N, n]の原画像データ(SD)と、第[N, n-1]の原画像データ(SD)との差分をとり、それが予め設定されている一定値を超えたかどうかの判定処理を行う。該差分が一定値を超えた場合(Yes)は、ステップP16に移行し、一定値を超えない場合(No)は、ステップP17に移行する。

【0039】このとき、第1のラッチ回路(11)から第[N, n]の原画像データ(SD)が、第2のラッチ回路(12)から第[N, n-1]の原画像データ(SD)が、それぞれ比較回路(13)に inputs され、該比較回路(13)によって両者の差分がとられ、内部に設定されている閾値と比較される。もし、差分が閾値を超えた場合は第2のマルチプレクサ(16)に駆動制御信号(DS)が出力される。差分が閾値を超えない場合は駆動制御信号(DS)が出力されない。

【0040】次に、ステップP16で、第[N, n]の原画像データ(SD)の上位4ビットを第[N, n]の画像表示データ(GD)とし、下位4ビットを第[N, n]の誤差データ(EI)とする。このとき、駆動制御信号(DS)が出力されることにより、第2のマルチプレクサ(16)によって第[N, n]の原画像データ(SD)が選択され、該第[N, n]の原画像データ(SD)の上位4ビットが第[N, n]の画像表示データ(GD)として第4のラッチ回路(18)に出力され、ドットクロック(DK)に同期して不図示のLCDドライバに出力される。一方、下位4ビットは第[N, n]の誤差データ(EI)として第3のラッチ回路(17)に出力され、保持される。

【0041】次いで、ステップP17で、第[1, n]の原画像データ(SD)と第[1, n-1]の誤差データ(EI)とを加算処理して第[1, n]の補正画像データ(HD)を作成し、該第[1, n]の補正画像データ(HD)の上位4ビットを第[1, n]の画像表示データ(GD)とし、下位4ビットを第[1, n]の誤差データ(EI)とする。

【0042】このとき、第1のラッチ回路(11)から8ビットの第[N, n]の原画像データ(SD)が、第3のラッチ回路(17)から4ビットの第[N, n-1]の誤差データ(EI)が、それぞれ加算回路(14)に inputs され、両者が加算回路(14)によって加算

され、8ビットの第[N, n]の補正画像データ(HD)が作成処理され、第2のマルチプレクサ(16)に出力される。

【0043】この際に、駆動制御信号(DS)は出力されないため、第[N, n]の補正画像データ(HD)が選択され、第2のマルチプレクサ(16)によって、8ビットの第[N, n]の補正画像データ(HD)の上位4ビットが第4のラッチ回路(18)に選択出力され、ドットクロック(DK)に同期して不図示のLCDドライバに出力される。一方、下位4ビットは第[N, n]の誤差データ(EI)として第3のラッチ回路(17)に選択出力され、保持される。

【0044】なお、このとき、加算回路(14)の加算処理による桁上げの結果、加算回路(14)から出力されるデータが“00000000”となると困るので、このような場合には、加算回路(14)から出力されるキャリ信号に基づいて、第1のマルチプレクサ(15)から8ビットの“11111111”が出力される。次に、図6のフローチャートのステップP18で n に1を加算処理する。

【0045】次いで、ステップP19で第Nフレームの処理が終了したかどうかの判定処理を行う。終了した場合(Yes)は、ステップP20に移行し、終了していない場合(No)は、ステップP14に戻って再度上記処理を繰り返す。次に、ステップP20で N に1を加算処理する。次いで、ステップP21で全部の処理が終了したかどうかの判定処理を行う。もし終了した場合(Yes)は、終了し、終了していない場合(No)は、ステップP14に戻って再度上記処理を繰り返す。

【0046】このようにして、上記の処理を繰り返すことにより、第[1, 1]の画素、第[1, 2]の画素、第[1, 3]の画素…、第[1, n]の画素、第[2, 1]の画素、第[2, 2]の画素…、第[2, n]の画素、第[3, 1]の画素、第[3, 2]の画素、……、第[N, 1]の画素、第[N, 2]の画素、…、第[N, n]の画素、…と順次画素ごとの情報処理をすることになる。

【0047】以上説明したように、本発明の実施例に係る画像情報処理方法によれば、図5のフローチャートのステップP15~P17に示すように、第[N, n]の原画像データ(SD)と、第[N, n-1]の原画像データ(SD)との差分をとり、それが予め設定されている一定値を超えた場合は、第[N, n]の原画像データ(SD)の上位4ビットを第[N, n]の画像表示データ(GD)とし、下位4ビットを第[N, n]の誤差データ(EI)とし、差分が一定値を超えない場合は、第[1, n]の原画像データ(SD)と第[1, n-1]の誤差データ(EI)とを加算処理して第[1, n]の補正画像データ(HD)を作成し、該第[1, n]の補正画像データ(HD)の上位4ビットを第[1, n]の

画像表示データ(GD)とし、下位4ビットを第[1, n]の誤差データ(EI)としている。

【0048】このため、画像が急峻に変化する画像のエッジでは、エッジを挟んだ原画像データの差が大きいため、隣接する画素への誤差データの加算処理がなされず、第[N, n]の原画像データ(SD)の上位4ビットがそのまま第[N, n]の画像表示データ(GD)とされ、下位4ビットを第[N, n]の誤差データ(EI)とされる。よって、エッジを挟んだ二画素の輝度の差が少なくなることによるエッジでのぼけを防止することが可能になり、画像のエッジが鮮明で原画像に近い画像を表示することが可能になる。

【0049】なお、本実施例において、保持手段の一例として第2のラッチ回路(12)を、比較手段の一例として比較回路(13)を、加算手段の一例として加算回路(14)を、情報生成手段の一例として第2のマルチプレクサ(16)を、それぞれ用いているが、本発明の構成はそれに限らない。また、本実施例では、8ビット入力-4ビット出力の装置について説明しているが、それに限らず、例えば8ビット入力-3ビット出力の装置や、6ビット入力-3ビット出力の装置などにも適用可能である。

【0050】

【発明の効果】以上説明したように、本発明に係る画像情報処理方法によれば、第1の原画像データと、第2の原画像データとの差分をとり、該差分が、一定値を越えた場合には、第2の原画像データと第1の誤差データとの加算処理を行わずに、第2の原画像データの上位Lビットを第2の画素の画像表示に対応する第2の画像表示データとして用いている。

*30

*【0051】このため、画像が急峻に変化する画像のエッジ部分では、隣接する画素への誤差データの加算処理がなされないため、エッジが鮮明で原画像に近い画像を表示することが可能になる。さらに、本発明に係る画像情報処理装置によれば、加算手段と、情報生成手段と、保持手段と、比較手段とを具備している。

【0052】このため、比較手段によって、画像が急峻に変化する箇所では、情報生成手段に駆動制御信号が出力され、該駆動制御信号が出力されると、情報生成手段によって誤差拡散がなされず、原画像データの上位Lビットがそのまま画像表示データとされる。これにより、画像が急峻に変化する部分では隣接する画素の原画像データと誤差データとの加算処理をしないようにすることが可能になるので、本発明に係る画像情報処理方法が実現できる。

【図面の簡単な説明】

【図1】本発明に係る画像情報処理方法の原理を説明するフローチャートである。

【図2】本発明に係る画像情報処理装置の原理図である。

【図3】本発明の実施例に係る画像情報処理装置の構成図である。

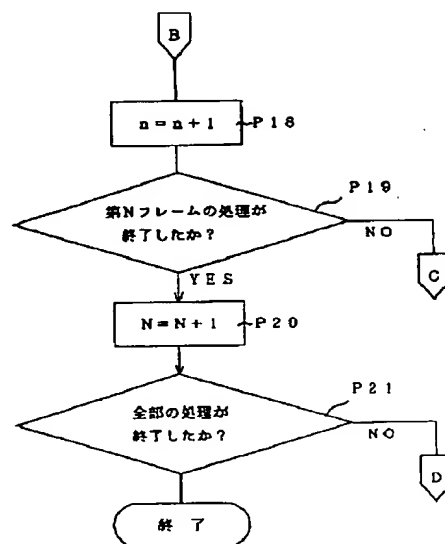
【図4】本発明の実施例に係る画像情報処理方法を説明する第1のフローチャートである。

【図5】本発明の実施例に係る画像情報処理方法を説明する第2のフローチャートである。

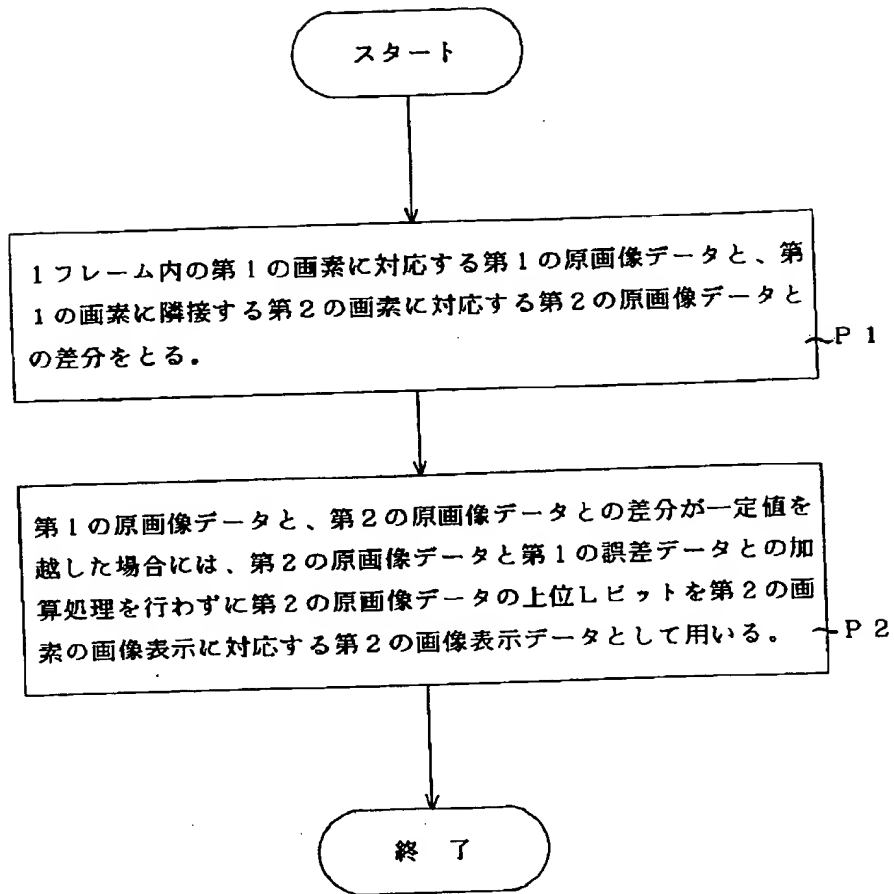
【図6】本発明の実施例に係る画像情報処理方法を説明する第3のフローチャートである。

【図7】従来例に係る画像情報処理装置の構成図である。

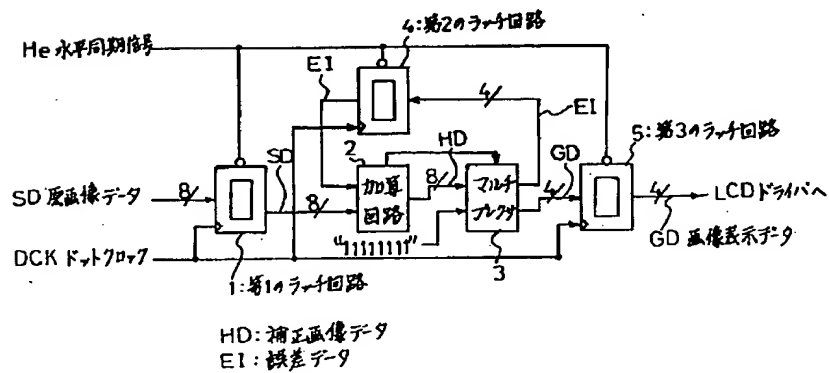
【図6】



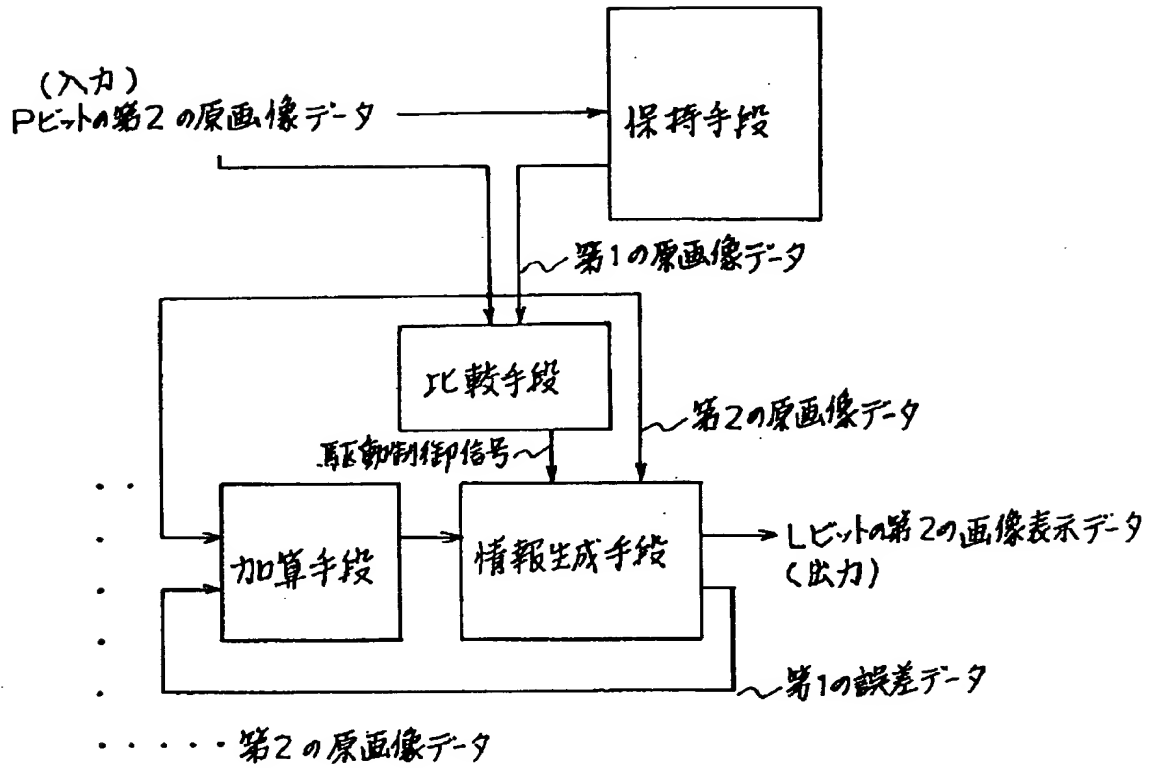
【図1】



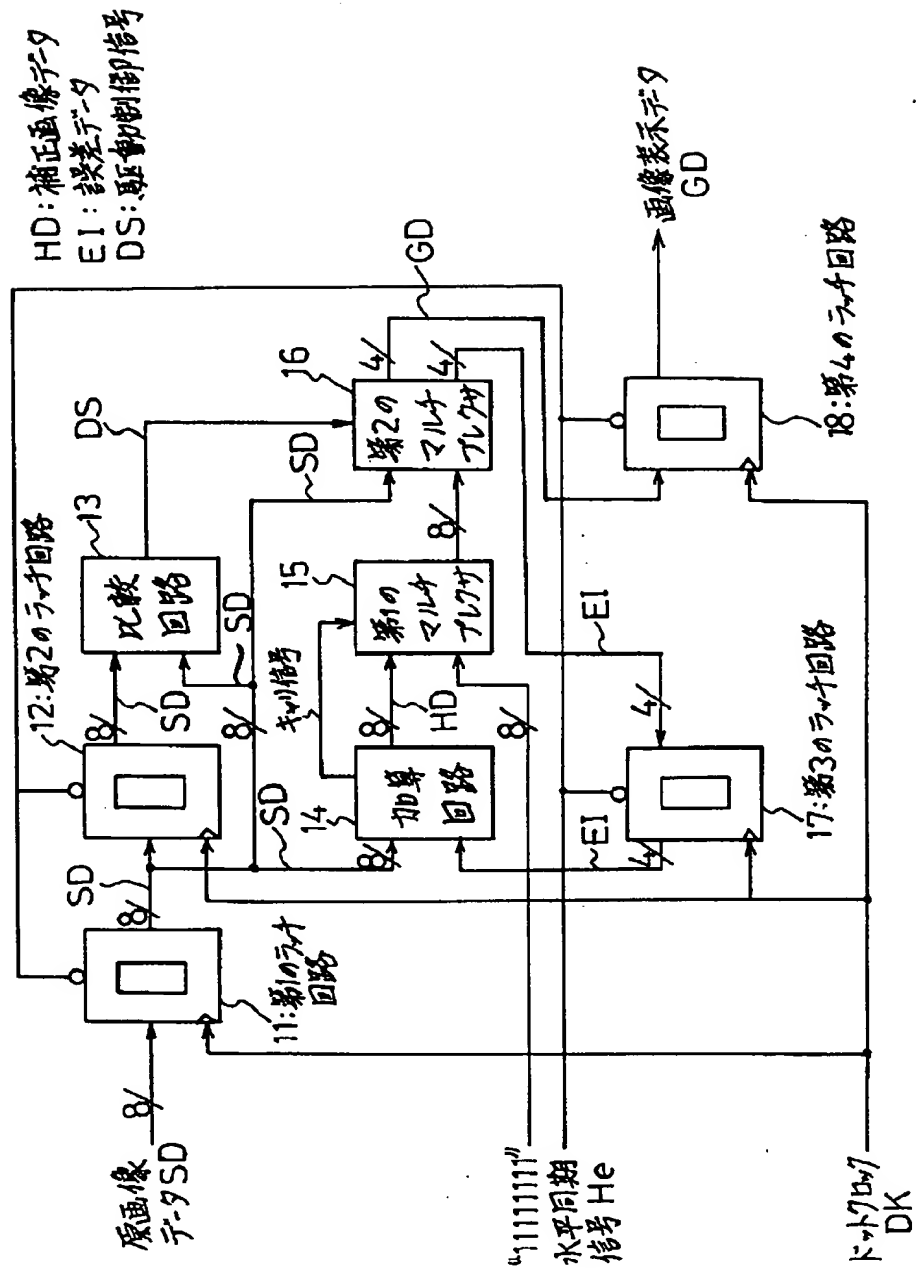
【図7】



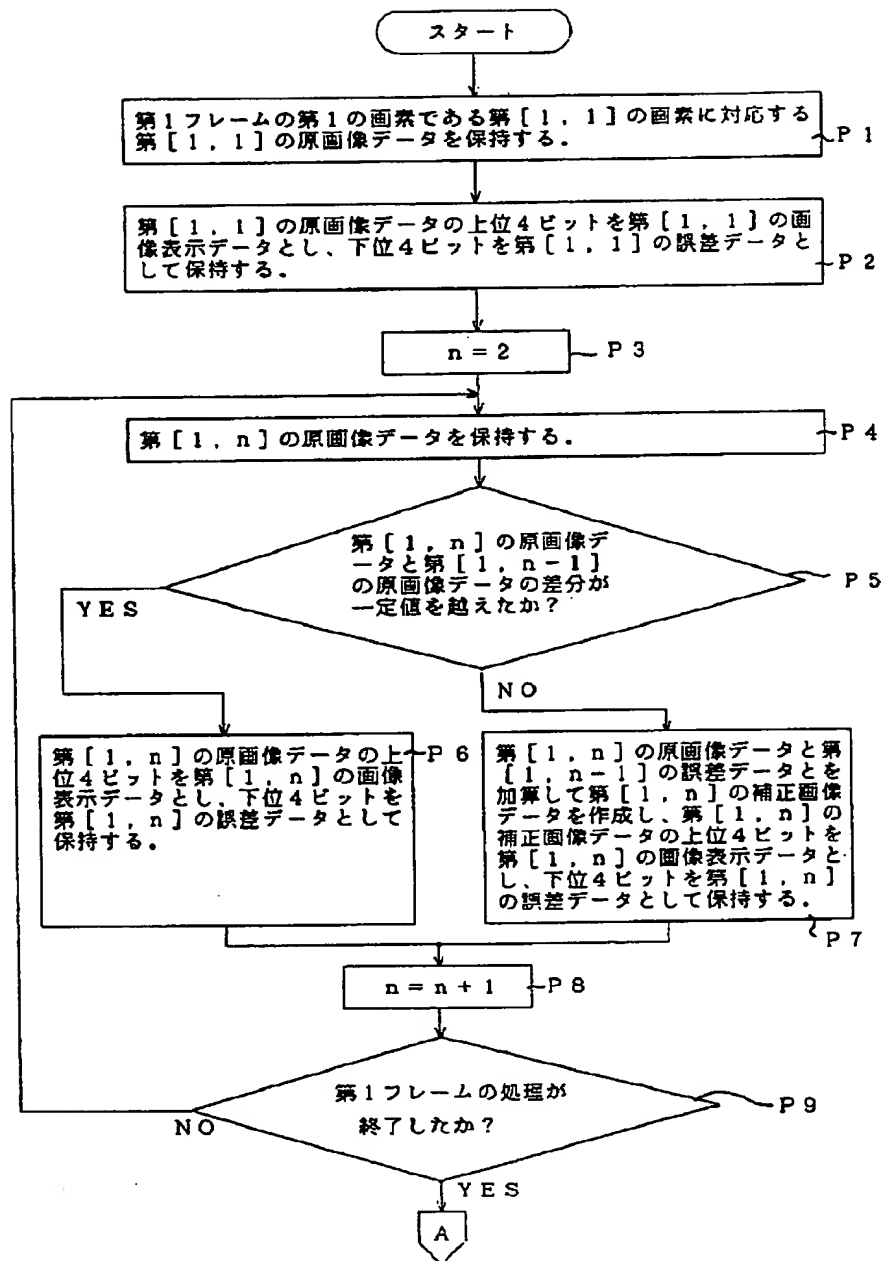
【図2】



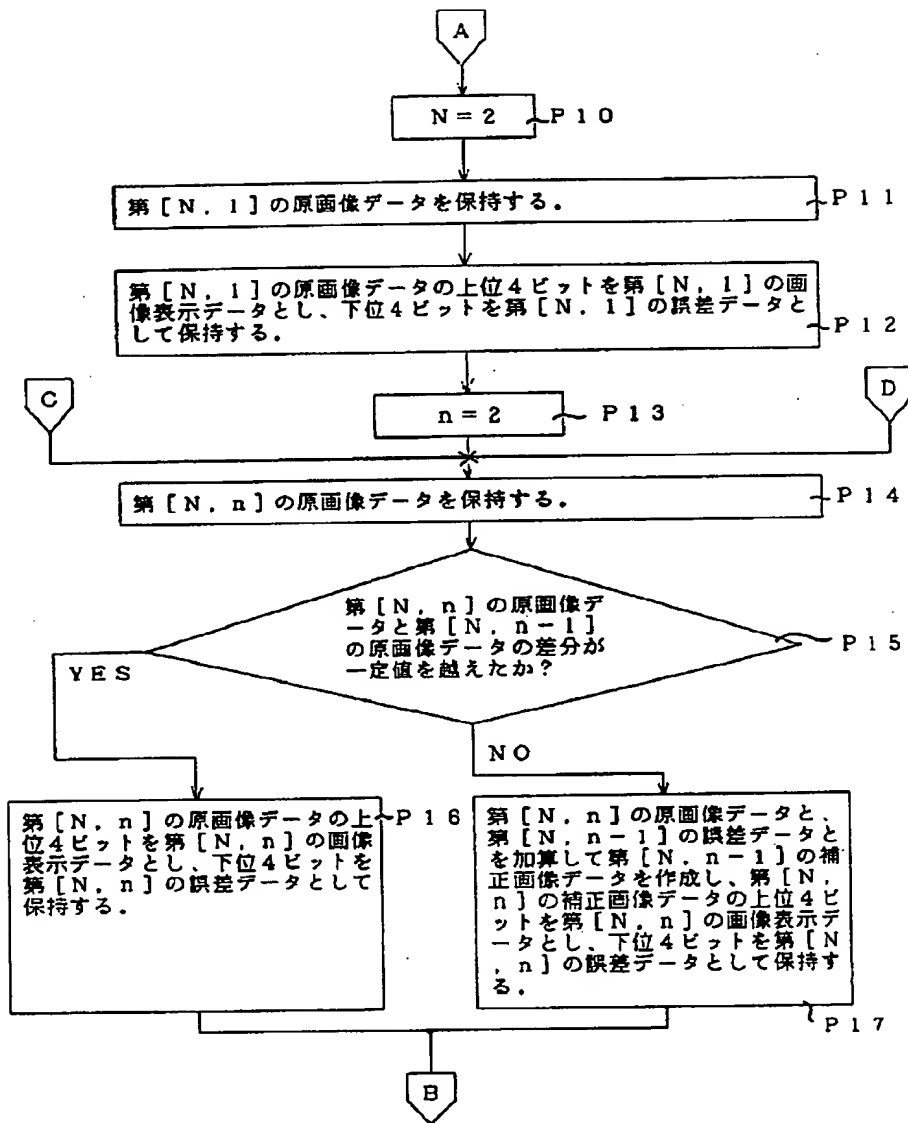
【図3】



〔図4〕



【図5】



フロントページの続き

(72)発明者 森脇 和彦
大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(72)発明者 清水 真
大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(72)発明者 上原 久夫
大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内